

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-107119

(43)Date of publication of application : 23.04.1996

(51)Int.Cl. H01L 21/338  
H01L 29/812  
H01L 21/28

(21)Application number : 06-240903 (71)Applicant : NEC CORP

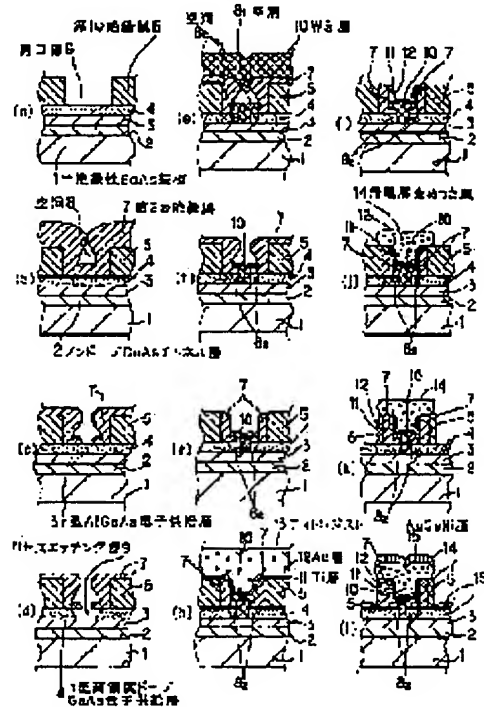
(22)Date of filing : 05.10.1994 (72)Inventor : SHIRAISHI YASUSHI

## (54) MANUFACTURE OF MICROSCOPIC T-TYPE GATE ELECTRODE

### (57)Abstract:

**PURPOSE:** To provide a method of manufacture of a microscopic T-type gate electrode without using an electric beam exposing device.

**CONSTITUTION:** The first insulating layer 5 is deposited on a semiconductor substrate, and an aperture part 6 is formed on a gate electrode forming part. Then, the second insulating film 7 is deposited in the aperture part in such a manner that a cavity 8 can be formed therein, and an inside wall is formed on the aperture part 6 by conducting anisotropic dry-etching on the second insulating film 7. Besides, a T-type gate electrode is formed by filling up the aperture part by metal. As an inside wall, with which a gate aperture part can be formed smaller than the conventional one, carve formed, a T-type gate electrode, which is finer than the conventional one, can be manufactured.



## LEGAL STATUS

[Date of request for examination] 05.10.1994

[Date of sending the examiner's decision of rejection] 08.07.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/338

29/812

21/28

F

9171-4M

H 0 1 L 29/80

F

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平6-240903

(22) 出願日 平成6年(1994)10月5日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 白石 靖

東京都港区芝五丁目7番1号 日本電気株式会社内

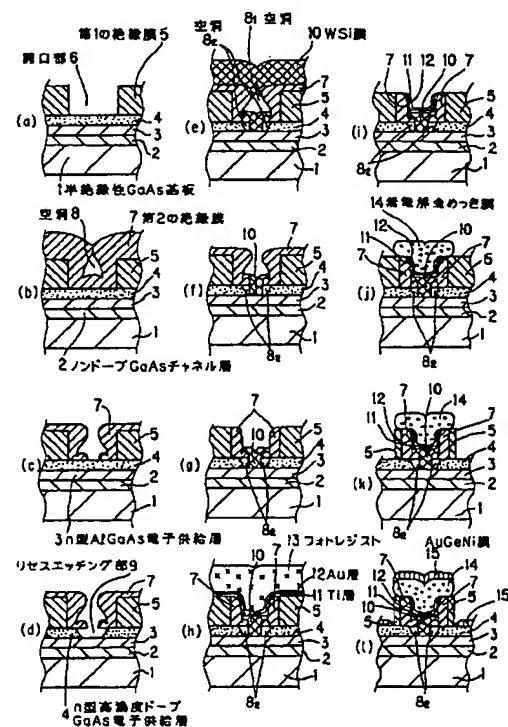
(74) 代理人 弁理士 若林 忠

## (54) 【発明の名称】 微細T型ゲート電極の製造方法

## (57) 【要約】

【目的】 電子線露光装置を用いることなく、ゲート長  $0.5\mu\text{m}$  以下の微細T型ゲート電極を製造する方法を提供する。

【構成】 半導体基板上に第1の絶縁層5を堆積し、ゲート電極形成部に開口部6を形成する。次に、開口部6内に空洞8が形成される形状に第2の絶縁膜7を堆積し、この第2の絶縁膜7を異方性ドライエッチングによりエッチングして開口部6に内側壁を形成する。さらに、この開口部6を金属で埋め込むことにより、T型ゲート電極を製造する。従来よりもゲート開口部が小さくなるような形状の内側壁を形成できるため、従来よりも微細なT型ゲート電極が製造できる。



## 【特許請求の範囲】

【請求項 1】 微細 T 型ゲート電極の製造方法において、半導体基板上に第 1 の絶縁膜を堆積する工程と、前記第 1 の絶縁膜を開口する工程と、第 2 の絶縁膜を前記第 1 の絶縁膜の開口部内にオーバーハング形状に堆積する工程と、前記第 2 の絶縁膜をエッチングして前記開口部に内側壁を形成する工程と、前記開口部を金属で埋め込む工程とを含むことを特徴とする微細 T 型ゲート電極の製造方法。

【請求項 2】 微細 T 型ゲート電極の製造方法において、半導体基板上に第 1 の絶縁膜を堆積する工程と、前記第 1 の絶縁膜を開口する工程と、第 2 の絶縁膜を前記第 1 の絶縁膜の開口部内に空洞を有する形状に堆積する工程と、前記第 2 の絶縁膜をエッチングして前記開口部に内側壁を形成する工程と、前記開口部を金属で埋め込む工程とを含むことを特徴とする微細 T 型ゲート電極の製造方法。

【請求項 3】 第 2 の絶縁膜の厚さを変えることによりスリット状の開口部の幅を変え、それにより、ゲート長を制御する請求項 1 または 2 記載の微細 T 型ゲート電極の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ゲート電極の製造方法に関し、特に微細 T 型ゲート電極の製造方法に関する。

## 【0002】

【従来の技術】図 2 の (a) ~ (d) は、従来の微細 T 型ゲート電極の製造方法の一実施例を工程順に示した電極形成部分の模式断面図であって、(a) は、半導体基板 21 上のチャンネル層 22 上に第 1 の絶縁膜 23 を堆積し、エッチングにより開口部 24 が形成された状態、(b) は、第 2 の絶縁膜 25 を堆積させた状態、(c) は、エッチングして開口部 24 に内側壁 25<sub>1</sub> が形成された状態、(d) は、開口部 24 を電極金属 26 で埋め込み不要部分を除去して T 型ゲート電極が形成された状態を示し、図 3 の (a) ~ (c) は、従来の微細 T 型ゲート電極の製造方法の第 2 の実施例を工程順に示した電極形成部分の模式断面図であって、(a) は、半導体基板 21 上のチャンネル層 22 に第 1 のフォトレジスト 27 を塗布し、電子線露光によりゲート電極パターンを形成した状態、(b) は、第 2 のフォトレジスト 28 を塗布し、幅の広いパターンを形成した状態、(c) は、ゲート電極パターンを金属電極 26 で埋め込み、電極金属の不要部分およびフォトレジストを除去して微細 T 型ゲート電極が形成された状態を示す。

【0003】ガリウム砒素 (GaAs) を用いた金属・半導体型電解効果トランジスタ (MESFET) やヘテロ接合電解効果トランジスタ (HJFET) において、動作の高速化の要求に答える手段として、ゲート長を短縮してチャンネルにおけるキャリアの走行時間を短縮する

技術が盛んに開発されている。しかし、ゲート電極断面積が縮小されると、電気抵抗の増大やゲート電極の電流密度増大によるエレクトロマイグレーションの増大などの問題が生じる。そのため、チャンネル層と接する部分のみを微細化し、その上部に電気抵抗低減のための大きな翼を有する構造の、T 型ゲート電極が開発されている。T 型ゲート電極は、その断面形状によって Y 型あるいはマッシュルーム型などと呼ばれることもある。

【0004】そのような T 型ゲート電極の製造方法について、例えば中尾らによって公開特許公報の昭 63-273363 に示されているように、内側壁形成によりゲート長を短縮する方法が開発されている。この方法による T 型ゲートの製造工程を、図 2 (a) ~ (d) の工程順に示した T 型ゲート電極の模式断面図において説明する。まず、図 2 (a) に示されるように、半導体基板 21 上に形成されたチャンネル層 22 上に第 1 の絶縁膜 23 を堆積する。この第 1 の絶縁膜 23 のゲート電極形成部を選択的にエッチングし、開口部 24 を形成する。次に図 2 (b) に示されるように、第 2 の絶縁膜 25 を、開口部 24 が覆われるように第 1 の絶縁膜 23 上に堆積する。次に図 2 (c) に示されるように、第 2 の絶縁膜 25 を異方性ドライエッチング法によりエッチングして開口部 24 に内側壁 25<sub>1</sub> を形成する。最後に図 2 (d) に示されるように、この開口部 24 を電極金属 26 で埋め込み、不要部分を選択的に除去することにより、ゲート長約 0.5 μm の T 型ゲート電極が形成される。

【0005】また、別の T 型ゲート電極の製造方法について、例えば池田らによって公開特許公報の平 4-298048 に示されるように、電子線露光を用いた二層レジスト法が開発されている。この方法による T 型ゲートの製造工程を、図 3 (a) ~ (c) の工程順に示した T 型ゲート電極の模式断面図において説明する。まず、図 3 (a) に示されるように、半導体基板 21 上に形成されたチャンネル層 22 上に第 1 のフォトレジスト 27 として電子線露光用フォトレジストを塗布し、電子線露光によりゲート電極パターンを形成する。次に図 3 (b) に示されるように、第 1 のフォトレジスト 27 上に第 2 のフォトレジスト 28 として例えば光学露光用フォトレジストを塗布し、第 1 のフォトレジスト 27 のパターン上に、より幅の広いパターンを形成する。次に図 3 (c) に示されるように、このゲート電極パターンを電極金属 26 で埋め込み、金属電極の不要部分およびフォトレジストを除去することにより、ゲート長約 0.2 μm の微細 T 型ゲート電極が形成される。

## 【0006】

【発明が解決しようとする課題】図 2 に示されるような従来の製造方法では、ゲート長 0.5 μm 以下の微細 T 型ゲートの形成は困難であった。つまり、微細 T 型ゲート電極のためには、第 1 の絶縁膜の開口幅を縮小する必要があるが、そのためにはエキシマレーザー露光などの

高度な露光技術を用いる必要があった。さらには、第1の絶縁膜が開口できても、第2の絶縁膜が十分に埋め込めないため、内側壁が形成できないという問題が生じた。したがって、この方法では、ゲート長 $0.5\mu\text{m}$ 以下の微細T型ゲートの形成は困難であった。

【0007】また、図3に示されるように従来の製造方法では、 $0.2\mu\text{m}$ の微細T型ゲート電極の形成が可能であるが、電子線露光装置を用いているため、コストの増大やスループットの定価などの問題が生じた。

【0008】そこで、本発明の目的は、電子線露光装置を用いることなく、ゲート長 $0.5\mu\text{m}$ 以下の微細T型ゲート電極を製造する方法を提供するものである。

【0009】

【課題を解決するための手段】本発明の微細T型ゲート電極の製造方法は、半導体基板上に第1の絶縁膜を堆積する工程と、第1の絶縁膜を開口する工程と、第2の絶縁膜を第1の絶縁膜の開口部内にオーバーハング形状あるいは空洞を有する形状に堆積する工程と、第2の絶縁膜をエッチングして開口部に内側壁を形成する工程と、開口部を金属で埋め込む工程とを含むことを特徴としている。なお、第2の絶縁膜の厚さを変えることにより、スリット状の開口部の幅を変え、それにより、ゲート長を制御することも本発明の製造方法の一態様である。

【0010】

【作用】本発明の方法において、二酸化シリコン( $\text{SiO}_2$ )などの第2の絶縁膜を第1の絶縁膜の開口部内にオーバーハング形状あるいは空洞を有する形状に厚く堆積する。このような形状は、ジシラン( $\text{Si}_2\text{H}_6$ )と酸素( $\text{O}_2$ )を用いた通常の化学的相成長(CVD)法やプラズマCVD法によって容易に形成される。オーバーハング形状に堆積した場合、オーバーハング部分の開

口部の幅は、体積時間の制御により容易に $0.1\mu\text{m}$ 程度にできる。次に、異方性の強いドライエッチング法により、第2の絶縁膜をエッチングする。この時、オーバーハング部分がマスクとなって、開口部の中心に約 $0.2\mu\text{m}$ 程度の微細開口部が形成できる。この部分に金属をコリメートスパッタ法などにより埋め込むことにより、ゲート長約 $0.2\mu\text{m}$ の微細T型ゲート電極が形成できる。

【0011】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0013】図1の(a)~(l)は、本発明の微細T型ゲート電極の製造方法の一実施例を工程順に示したヘテロ接合電解効果トランジスタの模式断面図であって、

(a)は、半絶縁性GaAs基板1上にノンドープGaAsチャネル層2、n型AlGaAs電子供給層3、n型高濃度ドープGaAsキャップ層4を形成し、第1の絶縁膜5を堆積し、開口部6を形成した状態、(b)は、第2の絶縁膜7を堆積し、開口部6の中心に空洞8が形成された状態、(c)は、第2の絶縁膜7をエッチングして開口部6の底部にキャップ層4を露出させた状態、(d)は、キャップ層4を選択的にエッチングし、リセス構造を形成した状態、(e)は、WSi膜10を全面および電子供給層3上に積層させ、空洞8が形成された状態、(f)は、余分なWSi膜10を除去した状態、(g)は、第2の絶縁膜を異方性の小さい条件でエッチングし開口部の内側壁を上げた状態、(h)は、Ti層11、Au層12を堆積させ、表面にフォトリソスト13を塗布した状態、(i)は、フォトリソスト13、Au層12、Ti層11をエッチングし、開口部のみにTi層11、Au層12を残した状態、(j)は、無電解金めっき膜14を堆積し、ゲート電極の翼部分が形成された状態、(k)は、第1の絶縁膜5をエッチング除去し、n型高濃度ドープGaAsキャップ層4を露出させた状態、(l)は、AuGeNi膜15を堆積し、これをアニールして、ソース電極およびドレイン電極をキャップ層4上に形成した状態を示す。

【0014】まず、図1(a)に示すように、半絶縁性GaAs基板1上に分子線エピタキシー(MBE)法などによりノンドープGaAsチャネル層2、n型アルミニウムガリウム砒素(AlGaAs)電子供給層3、n型高濃度ドープGaAsキャップ層4を形成する。次に第1の絶縁膜5として $\text{SiO}_2$ を、 $\text{Si}_2\text{H}_6$ と $\text{O}_2$ を用いたCVD法により約5000オングストローム堆積する。次に第1の絶縁膜5を、光学露光によるリソグラフィ法と四フッ化炭素( $\text{CF}_4$ )などを用いた反応性イオンエッチング(RIE)法などにより加工することにより、開口部6を作成する。開口部6の幅は例えば $0.8\mu\text{m}$ とする。

【0015】次に図1(b)に示すように、第2の絶縁膜7として $\text{SiO}_2$ を $\text{Si}_2\text{H}_6$ と $\text{O}_2$ を用いたCVD法により約4000オングストローム堆積する。この工程において、開口部6の中心には空洞8が形成される。

【0016】次に図1(c)に示すように、第2の絶縁膜7を $\text{CF}_6$ などを用いた異方性の高いRIE法によりエッチングする。約1000オングストロームエッチングすることにより、第2の絶縁膜7中の空洞8の上部が開口して、幅約 $0.1\mu\text{m}$ のスリット状になる。さらに、約2000オングストロームエッチングすることにより、開口部6の底部に約 $0.2\mu\text{m}$ 幅のn型高濃度ドープGaAsキャップ層4を露出させることができる。

【0017】次に図1(d)に示すように、二塩化フッ炭素( $\text{CCl}_2\text{F}_2$ )とヘリウム(Hc)を用いたRIE法により、前述した開口部下のn型高濃度ドーパントGaAsキャップ層4を選択的にエッチングし、リセス構造を形成する。

【0018】次に図1(e)に示すように、スパッタ法によりタングステンシリサイド(WSi)膜10を全面に堆積する。このWSi膜10は、ゲート電極の熱的安定性および信頼性を向上させる役割をはたす。WSi膜10は、第2の絶縁膜7の開口部を通して、n型AlGaAs電子供給層3上にも堆積し、ゲート電極の脚部が形成される。ゲート長は約0.2 $\mu\text{m}$ である。この工程において、コリメートスパッタ法などを用いると、開口部底部でのWSi膜の被覆率が向上する。しかし、完全に埋め込む必要は無く、空洞8が形成されるような埋め込み形状で十分である。

【0019】次に図1(f)に示すように、六フッ化シリコン( $\text{CF}_6$ )を用いたRIE法により余分なWSi膜を除去する。

【0020】次に図1(g)に示すように、 $\text{CF}_4$ を用いたRIE法により第2の絶縁膜7をエッチングし、第2の絶縁膜7の開口部を広げた内側壁を形成する。ここで、RIE法は異方性の小さい条件で行うのが望ましい。この工程で、WSiのエッチングレートは小さいので、ゲート電極脚部のWSiおよびその下の第2の絶縁膜7はエッチングされない。

【0021】次に図1(h)に示すように、チタン(Ti)層11(厚さ200オングストローム)および金(Au)層12(厚さ100オングストローム)を、スパッタ法あるいは電子ビーム蒸着法などにより堆積する。Ti層11は、Au層12と下地膜との密着性を向上させる役割をはたす。次に表面が平坦になるようにフォトレジスト13を塗布する。

【0022】次に図1(i)に示すように、フォトレジスト13とAu層12とTi層11を $\text{CF}_4$ と $\text{O}_2$ を用いたRIE法によりエッチングし、開口部のみをTi層11およびAu層12を残す。

【0023】次に図1(j)に示すように、無電解金めっき法により無電解金めっき膜14を堆積し、ゲート電極の翼部分を形成する。無電解金めっきは、例えば亜硫酸金をヒドラジンで還元することによって、下地のAu層12上のみAuを選択的に堆積できる。液温60℃で、60分のめっきにより、約0.5 $\mu\text{m}$ のAuが堆積し、図1(j)に示すような形状に堆積する。

【0024】次に図1(k)に示すように、 $\text{CF}_4$ を用いたRIE法により、無電解金めっき膜14をマスクとして第1の絶縁膜5をエッチング除去し、n型高濃度ドーパントGaAsキャップ層4を露出させる。

【0025】最後に図1(l)に示すように、金ゲルマニウム(1000オングストローム)/ニッケル(30

0オングストローム)(AuGe/Ni)膜15を、電子ビーム蒸着法により堆積し、450℃で5分間アニールすることによりソース電極およびドレイン電極をn型高濃度ドーパントGaAsキャップ層4上に形成する。無電解金めっき膜14とソース/ドレイン電極形成部分とは段差があるため、全面へAuGe/Ni膜15を蒸着する工程を用いても両者が短絡を起こすことはない。また、無電解金めっき膜14上にAuGe/Ni膜15が残っているが、特に問題とはならない。

【0026】以上述べた工程により、ゲート長約0.2 $\mu\text{m}$ の微細T型ゲートを有するHJFETを、電子線露光装置を用いることなく製造できる。また、この方法においては、ゲート・ソース・ドレインの各電極をリソグラフィ工程を用いずに自己整合的に形成している。そのため、左右対称な形状のゲート電極が容易に形成でき、さらにゲート・ソース間とゲート・ドレイン間の距離を容易に等しくできるという利点がある。

【0027】本発明の実施例においては、図1(b)に示すように、第2の絶縁膜7を、空洞8を形成して、開口部6が埋め込まれるまで堆積したが、必ずしもこのような形状に堆積する必要はない。第2の絶縁膜7を、空洞8が形成されて開口部6が埋め込まれる直前までオーバーハング形状に堆積し、空洞8の上部にスリット状の開口部が残るような構造を形成しても、以降全く同じ工程で微細T型ゲートを有するHJFETが製造できる。この場合、第2の絶縁膜7の厚さを変えてスリット状の開口部の幅を変えることにより、自由にゲート長を制御できる。

【0028】本発明の実施例においては、第1および第2の絶縁膜として、 $\text{SiO}_2$ を用いたが、窒化シリコン( $\text{Si}_3\text{N}_4$ )や窒化酸化シリコン( $\text{SiON}$ )などを組み合わせてもよい。また、電極金属としてWSiや無電解めっき法によるAuを用いたが、チタンタングステン(TiW)や窒化チタン(TiN)、あるいは無電解めっき法による白金(Pt)や銀(Ag)や銅(Cu)など、他の金属を用いてもよい。オーミック電極においては、必ずしもAuGe/Niを用いる必要はなく、n型高濃度ドーパントインジウムガリウム砒素(InGaAs)層上のTi/Pt/Auノンアロイオーミック電極などを用いてもよい。

【0029】さらには膜の体積方法やエッチング法などは、ここに示した方法による必要はない。例えば有機金属化学的気相成長(MOCVD)法やイオンビームデポジション法による金属膜の堆積や、化学的機械研磨(CMP)法による平坦化および不要な絶縁膜や金属膜の除去などの技術と組み合わせることが可能である。

【0030】本発明の実施例においては、リセス構造のHJFETへの応用例について述べたが、本発明の方法は、MESFETなど多くの半導体デバイスに応用が可能である。

## 【0031】

【発明の効果】以上説明したように、本発明の微細ゲート電極の製造方法においては、第2の絶縁膜を第1の絶縁膜の開口部上にオーバーハング形状あるいは空洞が形成される形状に堆積する。異方性の強いドライエッチング法により、第2の絶縁膜をエッチングすることにより、オーバーハング部分がマスクとなって、開口部の中心に約0.2μm程度の開口部分が形成できる。この部分に金属を埋め込むことにより、ゲート長約0.2μmの微細T型ゲートが形成できる。

【0032】したがって、本発明により、低抵抗でゲート長約0.5μm以下の微細T型ゲートを有するMESFETやHJFETを、光学露光法で形成できる。したがって、従来の電子線露光装置を用いた方法に比べて、コストやスループットが改善される。

## 【図面の簡単な説明】

【図1】(a)～(l)は、本発明の微細T型ゲート電極の製造方法の一実施例を工程順に示したヘテロ接合電解効果トランジスタの模式断面図であって、(a)は、半絶縁性GaAs基板1上にノンドープGaAsチャンネル層2、n型AlGaAs電子供給層3、n型高濃度ドープGaAsチャンネル層4を形成し、第1の絶縁膜5を堆積し、開口部6を形成した状態、(b)は、第2の絶縁膜7を堆積し、開口部6の中心に空洞8が形成された状態、(c)は、第2の絶縁膜7をエッチングして開口部6の底部にキャップ層4を露出させた状態、(d)は、キャップ層4を選択的にエッチングし、リセス構造を形成した状態、(e)は、WSi膜10を全面および電子供給層3上に積層させ、空洞8<sub>1</sub>が形成された状態、(f)は、余分なWSi膜10を除去した状態、(g)は、第2の絶縁膜を異方性の小さい条件でエッチングし開口部の内側壁を上げた状態、(h)は、Ti層11、Au層12を堆積させ、表面にフォトレジスト13を塗布した状態、(i)は、フォトレジスト13、Au層12、Ti層11をエッチングし、開口部のみにTi層11、Au層12を残した状態、(j)は、無電解金めっき膜14を堆積し、ゲート電極の翼部分が形成された状態、(k)は、第1の絶縁膜5をエッチング除去し、n型高濃度ドープGaAsキャップ層4を露出させた状態、(l)は、AuGeNi膜15を堆積し、これをアニールして、ソース電極およびドレイン電極をキャップ層4上に形成した状態を示す。

【図2】(a)～(d)は、従来の微細T型ゲート電極

の製造方法の一実施例を工程順に示した電極形成部分の模式断面図であって、(a)は、半導体基板21上のチャンネル層22上に第1の絶縁膜23を堆積し、エッチングにより開口部24が形成された状態、(b)は、第2の絶縁膜25を堆積させた状態、(c)は、エッチングして開口部24に内側壁25<sub>1</sub>が形成された状態、

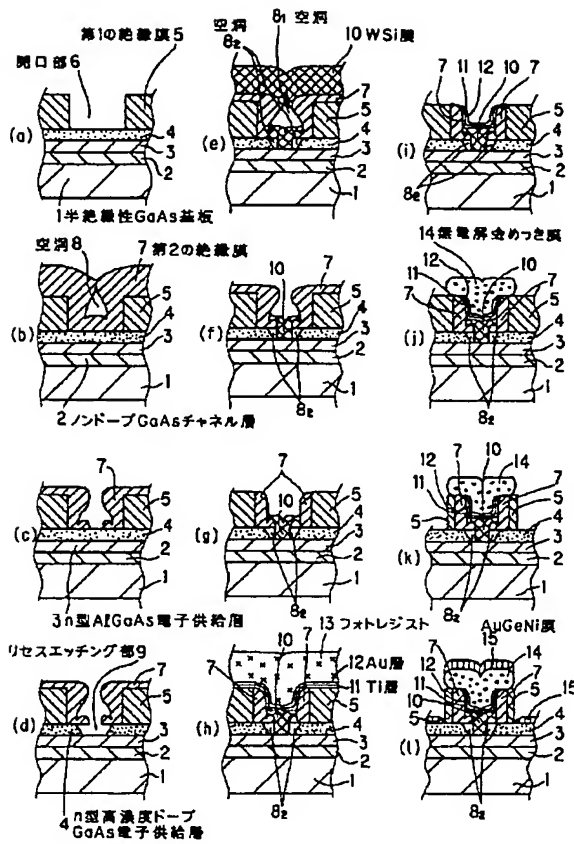
(d)は、開口部24を電極金属26で埋め込み不要部分を除去してT型ゲート電極が形成された状態を示す。

【図3】(a)～(c)は、従来の微細T型ゲート電極の製造方法の第2の実施例を工程順に示した電極形成部分の模式断面図であって、(a)は、半導体基板21上のチャンネル層22に第1のフォトレジスト27を塗布し、電子線露光によりゲート電極パタンを形成した状態、(b)は、第2のフォトレジスト28を塗布し、幅の広いパタンを形成した状態、(c)は、ゲート電極パタンを金属電極26で埋め込み、電極金属の不要部分およびフォトレジストを除去して微細T型ゲート電極が形成された状態を示す。

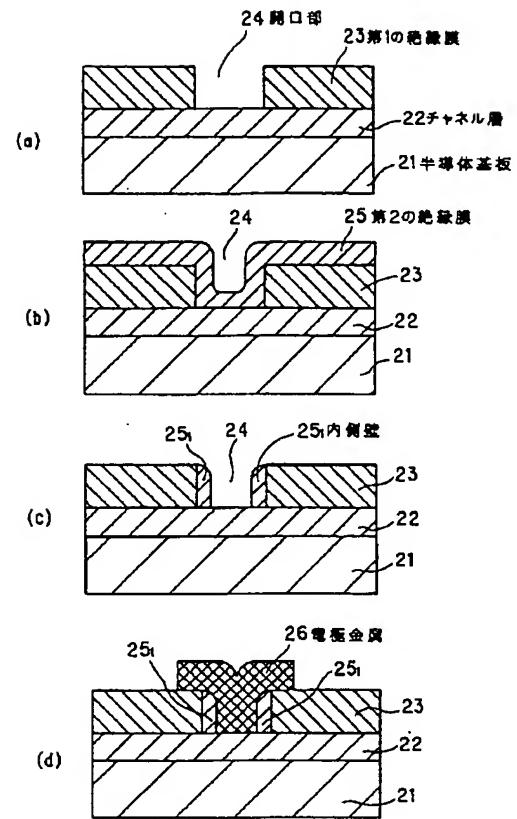
## 【符号の説明】

- |                                    |                   |
|------------------------------------|-------------------|
| 1                                  | 半絶縁性GaAs基板        |
| 2                                  | ノンドープGaAsチャンネル層   |
| 3                                  | n型AlGaAs電子供給層     |
| 4                                  | n型高濃度ドープGaAsキャップ層 |
| 5                                  | 第1の絶縁膜            |
| 6                                  | 開口部               |
| 7                                  | 第2の絶縁膜            |
| 8, 8 <sub>1</sub> , 8 <sub>2</sub> | 空洞                |
| 9                                  | リセスエッチング部         |
| 10                                 | WSi膜              |
| 11                                 | Ti層               |
| 12                                 | Au層               |
| 13                                 | フォトレジスト           |
| 14                                 | 無電解金めっき膜          |
| 15                                 | AuGeNi膜           |
| 21                                 | 半導体基板             |
| 22                                 | チャンネル層            |
| 23                                 | 第1の絶縁膜            |
| 24                                 | 開口部               |
| 25                                 | 第2の絶縁膜            |
| 25 <sub>1</sub>                    | 内側壁               |
| 26                                 | 電極金属              |
| 27                                 | 第1のフォトレジスト        |
| 28                                 | 第2のフォトレジスト        |

【図1】



【図2】



【図3】

